

# SinoWealth 4-bit单片机基本介绍

## 1.1 Sino Wealth 4-bit单片机产品概述与分类

4-bit 单片机产品线是中颖公司 (SinoWealth) 众多产品线之一。其所有产品均基于中颖公司自有的 4-bit CPU IP(CPU60)发展起来的，产品系列齐全，应用场合广泛。

### 1.1.1 CPU的特点

每类 MCU 产品的应用场合都有所不同，对 CPU 的一些特性要求也有所差异。对应这些差异，CPU60 分为 CPU6610C，CPU6610D，CPU6610E 三种。其主要区别是在电路动静态结构和堆栈层数上。

CPU6610C：动态电路结构，堆栈的层数为 4 层。

CPU6610D：全静态电路结构，堆栈的层数为 8 层。

CPU6610E：全静态电路结构，堆栈的层数为 8 层。

每颗产品采用的 CPU 类型在产品的数据手册的首页均有标明。

### 1.1.2 内存架构

SinoWealth 4-bit 单片机内存架构采用的是适合单片机应用的哈佛结构。哈佛结构是一种将程序内存和数据存储器在物理空间上完全独立，读取指令和存储数据的总线完全分开的一种内存架构。中央处理器(CPU)首先到程序记忆体中读取指令，进行译码，得到数据地址，再到相应的数据存储器中读取数据并进行下一步的操作。程序内存和数据存储器地址和总线完全分开，可以使指令和数据有不同的数据宽度。同时由于读取指令和存取操作数可以同时进行（流水线作业），所以哈佛结构的处理器通常具有较高的执行效率。

### 1.1.3 内核设计的Pipeline流水线结构

SinoWealth 4-bit 单片机在内核设计方面是采用 Pipeline 流水线结构。程序指令的执行过程如下图 1-1-1：

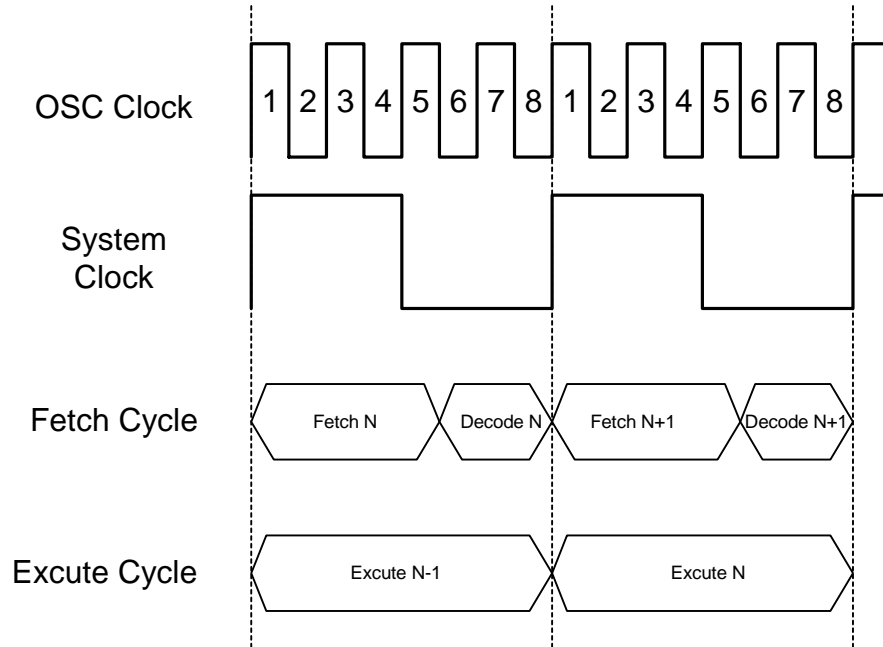


图 1-1-1 系统指令执行示意图

系统执行过程大致可分为读指令、指令译码、指令执行等几个阶段。一个 CPU 的系统周期包含 4 个机器周期。

在一个系统周期的第 1 到第 5 个机器时钟周期期间读第 N 条指令，在第 6 到第 8 个机器时钟周期内执行第 N 条指令的译码动作，同时在整个系统周期内执行第 N-1 条指令（上一条指令），如此循环，在第二个系统周期内读入/译码第 N+1 条指令并执行第 N 条指令...

### 1.1.4 RISC结构的指令系统

SinoWealth 4 bit 单片机采用的是 RISC（精简指令集）结构的指令集。

任何指令均在一个系统时钟周期内完成。程序区任意位置取出的指令都是一条完整的指令，这些特点对于对实时性和抗干扰性要求都很高的 MCU 应用场合是很重要的。

### 1.1.5 SinoWealth 4-bit单片机产品分类

按照资源特性可分为：

- I/O类(SH6x(P)2x和SH6x(P)3x系列),如SH69P25,SH67P33C等；
- LCD类(SH6x(P)5x系列),如SH69P56,SH66P51等；
- ADC类(如SH6x(P)4x系列),如SH69P42,SH69P48等；
- PWM类,如SH69P42等
- ...

按照工作电压应用范围可分为：

- 低压类,如SH6xLxx系列,适合1.5V单节电池或太阳能电池等应用场合；
- 单电压+3.0V/+5.0V类；
- 宽电压应用范围类；
- ...

按照ROM类型可分为：

- MASK ROM类(掩膜)；
- OTP(one time programming)类；

按照抗干扰等级可分为：

- SH65/66系列,适合对系统抗干扰能力要求较低的应用场合；
- SH67系列,适合对系统抗干扰能力要求较高的应用场合；
- SH69系列,适合工业规格,对系统抗干扰能力要求极高的应用场合,如家电应用场合；

SinoWealth 4-bit单片机系列产品较多,但由于其所有产品是基于同一颗CPU,同一个开发环境(IDE),同一套RISC指令集,系统架构简单明了,开发工具接口友好,资源配置丰富,所以在各个应用场合,从低端到高端,都有SHxxxx系列MCU的身影。

## 1.2 SinoWealth 4-bit单片机产品基本特性

4-bit 单片机所有产品的基本架构都是以 CPU60 为核心 配置必需的 ROM/RAM 模块,时钟产生电路,复位电路和依据特定的应用场合而配置的外围功能模块而组成,如图 1-2-1。

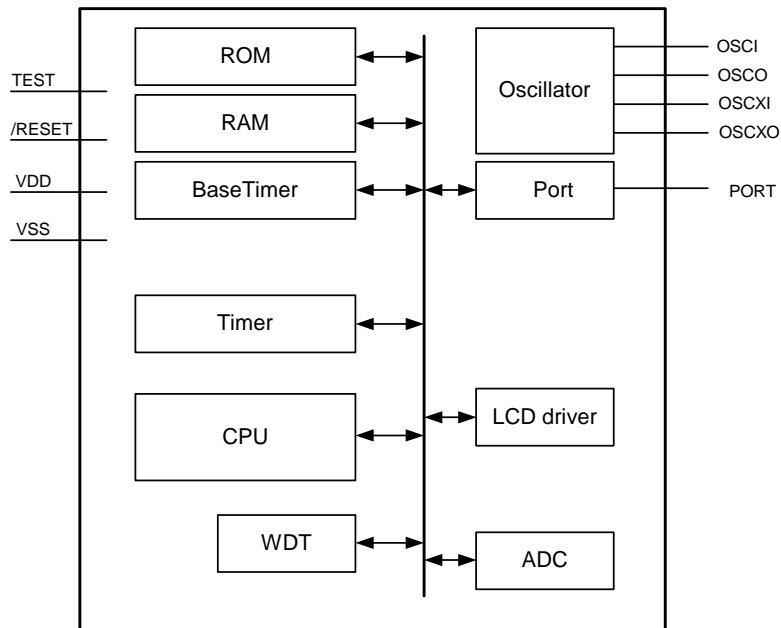


图 1-2-1 MCU 系统框图

### 1.2.1 CPU

CPU 包含以下功能模块：程序计数器，算术逻辑单元 (ALU)，进位标志，累加器，查表寄存器，数据指针 (INX, DPH, DPM, 和 DPL)和堆栈。

#### 程序计数器 (PC)

SinoWealth 4-bit 单片机内部有 12 根数据线，组成 12 位的程序计数器——PC，程序计数器由页寄存器 (PC11)和循环进位计数器 (PC10, PC9, PC8, PC7, PC6, PC5, PC4, PC3, PC2, PC1, PC0)组成。

通常每执行一条指令程序计数器的值加一，但在下列情况下除外：

- (1) 当执行一条跳转指令时 (例如 JMP, BAO, BNC)；
- (2) 当执行子程序调用指令时 (CALL)；
- (3) 当发生中断时；
- (4) 当芯片处于 INITIAL RESET 模式时；

当以上四种情况之一发生时程序计数器中装入相应的指令地址。

## ALU和CY

ALU 执行算术和逻辑操作。ALU 有以下功能：

二进制加法/减法 (ADC, SBC, ADD, SUB, ADI, SBI)

加法/减法的十进制调整 (DAA, DAS)

逻辑操作 (AND, EOR, OR, ANDIM, EORIM, ORIM)

判断 (BA0, BA1, BA2, BA3, BAZ, BNZ, BC, BNC)

逻辑移位元 (SHR)

进位标志 (CY) 保存了算术操作后 ALU 的溢出状态。在中断服务或子程序调用过程中,进位标志被压入堆栈,并遇 RTNI 指令后返回。RTNW 指令不影响进位标志。

## 累加器A

累加器 A 是一个四位寄存器,其中保存了算术逻辑单元的运算结果。它和 ALU 一起,能完成与系统寄存器, LCD RAM, 或数据存储器之间的数据传送。

## 堆栈 (Stack)

该组寄存器能在每次调用子程序或中断时按次序保存 CY 和 PC (11-0) 的值。基于 SH6610C 的芯片堆栈结构为 13 位 × 4 层,基于 SH6610D 和 SH6610E 的芯片堆栈结构为 13 位 × 8 层。最高位为 CY 保留。所以 SH6xxx 系列单片机最多允许有 4 层或 8 层子程序调用和中断。当遇到返回指令 (RTNI/RTNW) 时,堆栈中的数据将按顺序返回至 PC 中。堆栈中的数据是按照先进后出的方式处理。堆栈如果溢出,程序的执行将出现异常,此时堆栈最底部的数据将溢出,PC 值将被清零,程序被复位。

### 1.2.2 ROM/RAM

SH6xxx 的 ROM 字长为 16 位。

SH6xxx 的程序内存最大寻址范围为 32K X 16 位,地址由\$0000 到\$7FFF。

SH6xxx 所有产品均内部集成了寄存器(Register)和 SRAM,依据产品定位和应用场合不同,集成的 Register 和 SRAM 数目都有所差异。

关于 ROM/RAM 的详细说明请参阅“3.2 ROM/RAM”章节。

### 1.2.3 中断

SH6xxx 中断服务程序的起始向量地址如表 1-2-1.

地址	说明
\$000	上电复位/按键复位/低电压检测复位程序入口地址
\$001	中断入口地址 1
\$002	中断入口地址 2
\$003	中断入口地址 3
\$004	中断入口地址 4

表 1-2-1 中断服务程序的起始向量表

具体产品间中断向量的差异主要体现在:

- SH6xxx 所有产品最多提供 4 个中断入口;
- 由于每颗产品的应用定位不同,所以具体到每一颗的中断入口的具体数量有所差异;
- 具体产品的中断入口的具体定义会有所差异;
- 中断入口向量数目不等同于中断源的数目;

关于中断的详细说明请参阅“3.4 中断系统(Interrupt)”章节。

### 1.2.4 省电待机模式(HALT和STOP)

SH6xxx 所有的产品均提供两种省电模式,待机模式 1(HALT)和待机模式 2(STOP)。这两种模式的作用是使系统的功耗降低,并维持系统运行,以达到省电的目的。省电模式的进入是通过操作 HALT 指令和 STOP 指令来完成。

系统执行 HALT 指令后,MCU 将进入待机模式 1(HALT)。在 HALT 模式下,CPU 将停止工作。但是其周边电路(Timer, 时基定时器, DAC, AGC, ADC,...)将继续工作。在执行 STOP 指令后,MCU 将进入待机模式 2(STOP)。在 STOP 模式下,除了看门狗定时器电路外,整个芯片(包括振荡器)将停止工作。较之 HALT 模式,STOP 更为省电。

在 HALT 模式下,发生任何中断,MCU 将被唤醒,并退出 HALT 模式。在 STOP 模式下,只有发生端口中断时,MCU 才能被唤醒,并退出 STOP 模式。

当系统从 HALT/STOP 模式唤醒退出时,首先执行相关中断服务子程序。然后才会执行 HALT/STOP 指令后的下一条指令。